

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340760

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H03G 3/10

H03F 1/34

H03F 3/34

(21)Application number : 10-148036

(71)Applicant : FUJI FILM MICRODEVICES CO LTD
FUJI PHOTO FILM CO LTD

(22)Date of filing : 28.05.1998

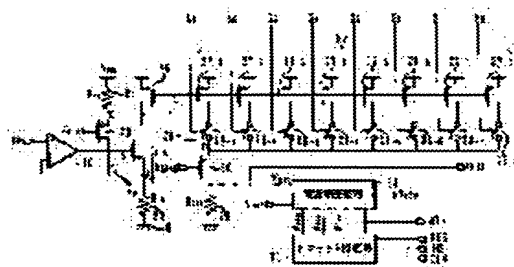
(72)Inventor : HASEGAWA JUN

(54) VARIABLE GAIN AMPLIFIER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit capable of quickly and stably operating the switching of an operating point with respect to a variable gain amplifier circuit available in a higher band and at a higher amplification ratio than a conventional manner by setting an operating point so that an output voltage can be converged in a prescribed range while a voltage being a reference is inputted.

SOLUTION: This circuit is composed of a voltage/current converting means for converting an input voltage into currents and outputting it, a current amplifying means for amplifying the currents with a set variable gain and an operating point setting means for setting an operating point so that an output voltage can be converted in a prescribed range while a voltage being a reference is inputted. In this variable gain amplifier circuit, a voltage adjusting circuit 24 compares a V_{ref} voltage being a target output operating point with an output voltage V_{out} for a blanking period, and when the output voltage V_{out} is lower than the target reference voltage V_{ref} , the V_{clp} of the gate voltage of a transistor 23 is made higher a little, and output voltage is increased. When the output voltage V_{out} is higher, the output voltage is decreased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

国内整理番号: 2002TJ026
外国整理番号: 2003TJ503

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-340760

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.⁶
H 0 3 G 3/10
H 0 3 F 1/34
3/34

識別記号

F I
H 0 3 G 3/10 A
H 0 3 F 1/34
3/34 Z

審査請求 未請求 請求項の数14 O L (全 13 頁)

(21) 出願番号 特願平10-148036

(22) 出願日 平成10年(1998) 5 月28日

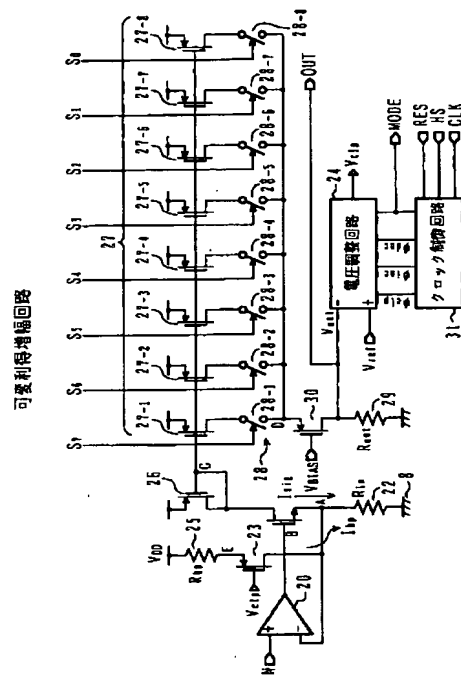
(71) 出願人 391051588
富士フイルムマイクロデバイス株式会社
宮城県黒川郡大和町松坂平 1 丁目 6 番地
(71) 出願人 000005201
富士写真フイルム株式会社
神奈川県南足柄市中沼210番地
(72) 発明者 長谷川 潤
宮城県黒川郡大和町松坂平 1 丁目 6 番地
富士フイルムマイクロデバイス株式会社内
(74) 代理人 弁理士 高橋 敬四郎 (外 1 名)

(54) 【発明の名称】 可変利得増幅回路

(57) 【要約】

【課題】 従来よりもより高帯域で高い増幅率まで使用可能な可変利得増幅回路であって動作点の切替が高速かつ安定的に行える可変利得増幅回路を提供することを課題とする。

【解決手段】 本発明の可変利得増幅回路は、入力電圧を電流に変換して出力する電圧-電流変換手段と、設定された可変利得で前記電流を増幅する電流増幅手段と、前記増幅された電流を出力電圧に変換する手段と、基準となる電圧が入力されている時間に前記出力電圧が所定の範囲に収束するように動作点を設定する動作点設定手段とを有して構成される。



【特許請求の範囲】

【請求項 1】 入力電圧を電流に変換して出力する電圧－電流変換手段と、

設定された可変利得で前記電流を増幅する電流増幅手段と、

前記増幅された電流を出力電圧に変換する電流－電圧変換手段と、

基準となる電圧が入力されている時間に前記出力電圧が所定の範囲に収束するように動作点を設定する動作点設定手段とを有する可変利得増幅回路。

【請求項 2】 前記電圧－電流変換手段は、トランジスタと抵抗とを含み、前記入力電圧が前記トランジスタのゲートに入力され、前記トランジスタのソースと基準電圧端子との間に前記抵抗が接続されたソースフォロア回路であることを特徴とする請求項 1 記載の可変利得増幅回路。

【請求項 3】 前記電圧－電流変換手段は、トランジスタと抵抗と差動増幅回路とを含み、前記入力電圧が前記差動増幅回路の非反転入力に接続され、前記差動増幅回路の出力が前記トランジスタのゲートに接続され、前記トランジスタのソースに前記抵抗の一端が接続され、前記抵抗の他端が基準電圧端子に接続され、前記トランジスタのソースと前記抵抗との接続点が前記差動増幅回路の反転入力と結合したことを特徴とする請求項 1 記載の可変利得増幅回路。

【請求項 4】 前記電流増幅手段は、非対称のカレントミラー回路と、該カレントミラー回路の入力側と出力側のトランジスタのゲート幅 W とゲート長 L の比を変更する手段とを含み、前記 W/L の比を変更することで電流増幅の利得を可変制御することを特徴とする請求項 1 記載の可変利得増幅回路。

【請求項 5】 前記ゲート幅 W とゲート長 L の比を変更する手段は、複数のトランジスタと該トランジスタの各々に接続するスイッチとを含み、該スイッチのオン・オフ制御により前記複数のトランジスタの内の電流を流すトランジスタを選択して実行的に前記 W/L を変化させる手段を有することを特徴とする請求項 4 記載の可変利得増幅回路。

【請求項 6】 前記電流増幅手段の出力にソースが接続され、ゲートには一定の電圧が印加され、ドレインが電流出力端子となるように接続されたトランジスタを配置することを特徴とする請求項 4 あるいは 5 記載の可変利得増幅回路。

【請求項 7】 前記電流－電圧変換手段は、基準電圧端子と前記電流増幅手段との間に接続された抵抗を含むことを特徴とする請求項 1 記載の可変利得増幅回路。

【請求項 8】 前記動作点設定手段は、目標動作点の値と、該可変利得増幅回路の出力値とを比較する比較手段と、該比較手段の比較結果に基づき出力電流量を増減する電流制御機能を有する定電流源手段とを有し、該定電

流源手段の出力が前記電圧－電流変換手段に結合されて前記電流増幅手段に入力する電流量を前記電流制御機能により制御することを特徴とする請求項 1 記載の可変利得増幅回路。

【請求項 9】 前記動作点設定手段は、目標動作点の値と、該可変利得増幅回路の出力値とを比較する比較手段と、該比較手段の比較結果に基づき出力電流量を増減する電流制御機能を有する定電流源手段とを有し、該定電流源手段の出力が前記電流－電圧変換手段に結合されて前記電流増幅手段から出力される電流量を前記電流制御機能により制御することを特徴とする請求項 1 記載の可変利得増幅回路。

【請求項 10】 前記定電流源手段は、一方の端子を基準電圧に接続した抵抗と該抵抗を負荷として結合したトランジスタを含むソースフォロア回路を有し、該トランジスタのゲート電圧によってソースの電位を制御し、該ソース電位と該基準電圧とで決まる電流を該トランジスタのドレインから流すことを特徴とする請求項 8 あるいは 9 記載の可変利得増幅回路。

【請求項 11】 前記トランジスタの前記ゲート電圧を制御する手段をさらに有し、該ゲート電圧を制御する手段は、第 1 の基準電圧にプリチャージされた第 1 の微小容量と、第 2 の基準電圧にプリチャージされた第 2 の微小容量と、前記ゲートに接続された前記微小容量よりも大きな容量と、第 1 及び第 2 の微小容量との間に接続された第 1 および第 2 のスイッチを含み、前記比較手段の比較結果に応じてオンあるいはオフする前記スイッチを選択する手段を有することを特徴とする請求項 10 記載の可変利得増幅回路。

【請求項 12】 所定周期のクロック信号を発生する手段をさらに有し、前記プリチャージと前記スイッチを選択する手段は、基準電圧入力期間中に前記クロック手段のクロック信号周期に応じて繰り返し制御されることを特徴とする請求項 11 記載の可変利得増幅回路。

【請求項 13】 収束モード設定手段をさらに有し、該設定手段の出力に応じて前記クロック手段のクロック周期を変更することを特徴とする請求項 12 記載の可変利得増幅回路。

【請求項 14】 収束モード設定手段をさらに有し、該設定手段の出力に応じて前記第 1 または第 2 の基準電圧の少なくとも一方を変化させることを特徴とする請求項 11 記載の可変利得増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、可変利得増幅回路に係わり、特に画像信号処理用の CMOS 集積回路に組み込む場合に好適な可変利得増幅回路に関する。

【0002】

【従来の技術】 特公平 2-34205 号公報において従来の技術として引用されているものとして、本願図 11

に示したような可変利得制御回路が提案されている。この可変利得制御回路は、演算増幅器 100 を反転増幅器として使用し、入力抵抗 101 とフィードバック抵抗 102 との抵抗値の比を変えることにより利得を変化させることができる。

【0003】入力抵抗 101 は図示のように抵抗 R と抵抗 2R との 8 段構成のラダー抵抗網として構成されており、各抵抗段にはスイッチ 103 が接続される。スイッチ 103 の動接点が演算増幅器 100 の反転入力側の接点と接続した状態（オン状態）で入力からの電圧 Vin が設定された利得で増幅されて出力電圧 Vout として出力される。スイッチ 103 のオン・オフは制御信号すなわち利得制御信号を端子 S1 ～ S8 のどれかに印加することにより制御される。オンになっているスイッチ 103 の個数と組み合わせに応じて利得が変わる。

【0004】

【発明が解決しようとする課題】この図 11 に示すような従来の形式の可変利得制御回路では、一般に画像信号処理用として必要とされる利得と帯域とを同時に得ようとする、演算増幅器 100 に非常に高い GB 積（利得帯域幅積）が要求され、現実にはこの構成で CMOS 集積回路で画像信号処理用の可変利得制御回路を実現することはきわめて難しい。

【0005】図 11 の回路から明らかなように、この回路は入力電圧 Vin を基準電圧 Vref に置き換えると、D/A 変換器そのものである。

【0006】本発明の目的は、この D/A 変換器の原理を持ちつつも、従来よりも飛躍的に高帯域で高い増幅率まで使用可能な可変利得増幅回路を提供することである。

【0007】本発明のさらに別の目的は動作点の切換が高速かつ安定的に行える可変利得増幅回路を提供することである。

【0008】

【課題を解決するための手段】本発明の可変利得増幅回路は、入力電圧を電流に変換して出力する電圧-電流変換手段と、設定された可変利得で前記電流を増幅する電流増幅手段と、前記増幅された電流を出力電圧に変換する手段と、基準となる電圧が入力されている時間に前記出力電圧が所定の範囲に収束するように動作点を設定する動作点設定手段とを有する。

【0009】

【発明の実施の形態】図 1 に、本発明の可変利得増幅回路の原理を説明する回路図を示す。これは、バイナリ・ウェイト電流源型の D/A 変換器の構成であり、基準電流 Iref が導電率 $Z = \text{ゲート幅 } W / \text{ゲート長 } L$ の MOS トランジスタ 10 に流れ、出力側の共通ゲート接続の多段（8 段）構成の導電率 $Z_j = \text{ゲート幅 } W / \text{ゲート長 } L$ のトランジスタ 11 にはカレントミラーで Iref の Z_j / Z 倍の電流が流れる。

【0010】出力側の各トランジスタ 11 の W/L 値は、それぞれにバイナリで重み付けがなされている。例えば図 1 において、出力側の 8 個のトランジスタ 11 は、左から右方向に向かって順次、 $Z_7 = Z/2^1$ 、 $Z_6 = Z/2^2$ 、 $Z_5 = Z/2^3$ 、 $Z_4 = Z/2^4$ 、 $Z_3 = Z/2^5$ 、 $Z_2 = Z/2^6$ 、 $Z_1 = Z/2^7$ 、 $Z_0 = Z/2^8$ となっている。例えばゲート幅 W を変えることにより、上記の導電率 Z_j を変えることができる。

【0011】8 個のスイッチ 12 は、8 ビットの信号 S0 ～ S7 によって制御される。信号 S0 ～ S7 が 1 のときに、スイッチ 12 は閉じる。それぞれスイッチ 12 がオン状態（出力端子と接続）の場合には、各トランジスタ 11 に流れる電流は、それぞれ Iref の $1/2^1$ 、 $1/2^2$ 、 $1/2^3$ 、 $1/2^4$ 、 $1/2^5$ 、 $1/2^6$ 、 $1/2^7$ 、 $1/2^8$ となっている。スイッチ 12 のオンにより選択されたトランジスタ 11 に流れる電流の合計が負荷抵抗 Rout を流れて、負荷抵抗 Rout での電圧効果により下記式 1 で表される出力電圧 Vout が得られる。

【0012】

【数 1】

$$V_{out} = I_{ref} \times R_{out} \times \sum_{n=0}^{N-1} \frac{S_n \times 2^n}{2^N}$$

【0013】ここで、N はトランジスタ 11 の段数であり、例えば 8 である。Sn は、スイッチ 12 の制御ビットである。

【0014】式 1 において、基準電流 Iref の代わりに、入力電流 Iin とし、電圧入力 Vin を電圧-電流変換手段によって Iin に変換して図 1 の回路に入力する構成を採用することにより、D/A 変換器から可変利得増幅回路が得られることになる。ここで、例えば電圧-電流変換の関係を $I_{in} = V_{in} / R_i$ とすれば、

【0015】

【数 2】

$$V_{out} = V_{in} \times \frac{R_{out}}{R_i} \times \sum_{n=0}^{N-1} \frac{S_n \times 2^n}{2^N}$$

【0016】ここで、下記式 3 とおく、

【0017】

【数 3】

$$\sum_{n=0}^{N-1} \frac{S_n \times 2^n}{2^N} \equiv k$$

【0018】すると、式 2 は

【0019】

【数 4】

$$V_{out} = k \times \frac{R_{out}}{R_i} \times V_{in}$$

【0020】となる。ここで、 $N=8$ の場合、すなわちトランジスタ11の段数が8段の場合には k は $0/256 \sim 255/256$ (≈ 1) までの範囲の値を取ることで、最大利得がおおそ $V_{out}/V_{in} = R_{out}/R_i$ で、利得の設定分解能が最大利得の $1/256$ という性能を有する可変利得増幅回路が得られることになる。

【0021】すなわち、図1の回路の場合、制御信号 $S_0 \sim S_7$ に応じてスイッチ12をオンあるいはオフすることにより利得を最大利得から0までの範囲で最大利得の $1/256$ ステップで可変できることを示している。もちろん、本実施例は図1のように8段のトランジスタ11の構成に限定するものではなく、トランジスタ11の段数 N (およびそのスイッチ12の数) を任意に選択して可変範囲を任意に設定できることはいうまでもない。

【0022】ここで、具体的な本発明による可変利得増幅回路の実施例について図2を参照して説明する。入力端子 I_N から入力される電圧は演算増幅器20の非反転入力端子 (+) に与えられる。演算増幅器20の出力は N 型 (チャネル) トランジスタ21のゲートに入力される。トランジスタ21のソースは A 点で抵抗22 (R_{in}) と接続すると同時に演算増幅器20の反転入力端子 (-) にフィードバック入力される。

【0023】トランジスタ21のソースは抵抗22を介して電源電圧端子8 (グランド) に接続されており、トランジスタ21と抵抗22とでソースフォロアが構成される。このソースフォロアの出力である A 点の電位は入力端子 I_N の電圧と等しくなるように演算増幅器20によりフィードバック制御される。このとき、抵抗22を流れる電流 I_{in} は、

【0024】

【数5】

$$I_{in} = \frac{V_{in}}{R_{in}}$$

【0025】と表される。 A 点には P 型 (チャネル) トランジスタ23のドレインが接続され、そのゲートには後で詳しく説明する電圧調整回路24の出力である V_{clp} が印加され、さらにそのソースは抵抗25 (R_{bp}) を

介して電源電圧 V_{DD} に接続されソースフォロアを構成している。このソースフォロアを流れる電流 I_{bp} は V_{clp} とトランジスタ23のしきい値電圧 V_{th} と抵抗25の抵抗値 R_{bp} とによって決まり、おおそ

【0026】

【数6】

$$I_{bp} = \frac{V_{clp} - V_{th}}{R_{bp}}$$

【0027】で与えられる電流となる。ここで、この電流 I_{bp} は V_{clp} が一定であればトランジスタ23が5極管動作をしている限り、 A 点の電位によらず一定であり、 V_{clp} 電圧で制御される定電流源とみなすことができる。トランジスタ23および抵抗25を流れる電流が I_{bp} であるから、 P 型トランジスタ26を流れる電流 I_{sig} は、

【0028】

【数7】

$$I_{sig} = I_{in} - I_{bp}$$

【0029】で与えられる。トランジスタ26は、ソース接地でドレインとゲートとが接続された所謂ダイオード接続をしており、 C 点の電位は $W/L = Z$ であるトランジスタに対して I_{sig} を流すだけのゲート電圧を提供することになる。この C 点の電圧はソース接地され、 $W/L = Z_j$ であるような N 型トランジスタ27 (27-1 ~ 27-8) のゲートに印加されると、そのトランジスタ27が5極管動作をしている限りにおいては

【0030】

【数8】

$$I = \frac{Z_j}{Z} \times I_{sig}$$

【0031】で与えられるドレイン電流が流れることになる。 C 点の電圧がトランジスタ27-1 ~ 27-8 の各ゲートに印加された場合、各トランジスタのドレインに接続されたスイッチ28がオン状態の時に、 $Z_j = W/L$ に応じた電流が各トランジスタに流れる。下記の表1に各トランジスタの $Z_j = W/L$ と流れる電流との関係を示す。

【0032】

【表1】

トランジスタ	W/L	電 流
27-1	$16 \times Z$	$16 \times I_{sig}$
27-2	$6 \times Z$	$8 \times I_{sig}$
27-3	$4 \times Z$	$4 \times I_{sig}$
27-4	$2 \times Z$	$2 \times I_{sig}$
27-5	Z	I_{sig}
27-6	$Z/2$	$I_{sig} / 2$
27-7	$Z/4$	$I_{sig} / 4$
27-8	$Z/8$	$I_{sig} / 8$

【0033】各トランジスタ27に接続されたスイッチ28はゲイン設定ビット $S_7 \sim S_0$ でオン・オフ制御され S_n ($S_7 \sim S_0$)を“1”としたときに対応するスイッチ28 (28-1~28-8)がオンするようにす

ると負荷抵抗29 (R_{out})に流れる電流 I_{out} は、 S_n を用いて以下の式9で表される。

【0034】

【数9】

$$I_{out} = I_{sig} \times \sum_{n=0}^7 \frac{S_n \times Z_n}{Z} = I_{sig} \times \sum_{n=0}^7 \frac{S_n \times Z \times 2^{n-4}}{Z}$$

$$= 2^4 \times I_{sig} \times \sum_{n=0}^7 \frac{S_n \times 2^n}{2^8} = k \times 2^4 \times I_{sig}$$

【0035】この出力電流 I_{out} による負荷抵抗29 (R_{out})での電圧降下は出力電圧 V_{out} となり、次式で表される。

【0036】

【数10】

$$V_{out} = R_{out} \times I_{out}$$

【0037】式9に式5及式7を代入して整理し、式10に代入すると、入力電圧と出力電圧の関係は以下の式11により与えられる。

【0038】

【数11】

$$V_{out} = k \times 2^4 \times R_{out} \times I_{sig} = \left(k \times 2^4 \times \frac{R_{out}}{R_{in}} \right) \times V_{in} - V_{ofs}$$

ここで、 $V_{ofs} \equiv k \times 2^4 \times R_{out} \times I_{bp}$ とする。

【0039】上記式11から、入力電圧の変化に対する出力電圧の変化量、すなわち利得は、 $k \times 2^4 \times R_{out} / R_{in}$ で表され、例えば、 $R_{out} / R_{in} = 2$ になるように設定すると、最大利得が32倍となり、画像信号処理用の可変利得増幅回路としては十分な性能を持つ。また、その場合設定分解能としては、実施例では説明の都合上8ビットの分解能 ($N=8$)で制御するようになっているために、0.125倍刻みになっているが、これを例えば10ビットにすれば0.03125倍刻みとなって、論理乗算器でデジタル的な利得を施した場合に換算すると、整数部5ビット、小数部5ビットに相当し、画像信号に対する可変利得増幅回路としては十分な分解能が得られる。これらの定数は必要な最大利得と利得分解能に応じて適宜設定すればよい。

【0040】なお、図2の回路において、P型トランジ

スタ30はミラー容量により動作帯域の劣化を防止するためのカスコード接続トランジスタである。このトランジスタ30がなかった場合とあった場合との比較のために、それぞれの場合の等価回路を図3(A)、(B)に示す。

【0041】図3(A)の等価回路のP型トランジスタ32(図2のトランジスタ27に相当)と負荷抵抗33(図2の抵抗29に相当)とからなる構成はインバータであり、入力である V_{in} の電位(図2のC点の電圧に相当)の変化が出力 V_{out} の大きな変化として反転増幅される。トランジスタ32にはゲートとドレイン間に寄生容量 C_{gd} があり、これが入力と出力との間に存在することになる。周知のようにインバータ回路の入力と出力との間に容量が存在した場合には、入力端子から見ると、ミラー容量として $C_{mil} = (1-A) \times C_{gd}$ (ここでAは増幅率)の大きな容量があるのと等価になる。

【0042】図3（A）の入力 V_{in} に相当する図2のC点での電位変化は mV オーダーのごく僅かなものであり、これに対して出力電圧は通常1V程度まで増幅されるために、増幅率は -100 倍以上となる。このために、ミラー容量によってトランジスタ27（27-1～27-8）のゲートドレイン間の寄生容量の 100 倍以上の負荷容量が入力側のダイオード接続トランジスタ26（図2）から見えることになる。このダイオード接続トランジスタ26は出力インピーダンスが比較的高いために、このインピーダンスとミラー容量とで決まる時定数は画像信号の処理回路としては許容できない程度の大きさになってしまう。

$$\begin{aligned} i &= -g_{m1} \times (V_{in} - V_{dd}) = -g_{m1} \times (V_{in} - 0) \\ &= -g_{m1} \times V_{in} \\ i &= -g_{m2} \times (V_{bias} - V_a) = -g_{m2} \times (0 - V_a) \\ &= g_{m2} \times V_a \end{aligned}$$

【0046】上式から、 $g_{m2} \times V_a = -g_{m1} \times V_{in}$ が成り立ち、結局、 $V_a / V_{in} = -g_{m1} / g_{m2}$ となつて、 $g_{m1} \cong g_{m2}$ とすると、 V_{in} の V_a に対する伝達ゲインは“ -1 ”となる。

【0047】従つて、ミラー容量は高々 C_{gd} の2倍程度で収まり、動作帯域はトランジスタ34がない場合に比較して大幅に向上する。

【0048】次に図2の電圧調整回路24について説明する。本実施例では、電圧調整回路24の出力 V_{clp} はトランジスタ23のゲートに印加され、 V_{clp} によって抵抗22（ R_{in} ）を流れる電流に一定の電流値分だけ流し込み、トランジスタ21、26を流れる電流を絞るためのバイパス電流を流す構成になっている。

【0049】本実施例では、入力電圧の動作点は2V程度としており、もし、このバイパス路（ V_{clp} で制御されたトランジスタ23と抵抗25）がなかった場合には、抵抗22の R_{in} が $5k\Omega$ 、負荷抵抗29の R_{out} が $10k\Omega$ であった場合に、抵抗22を流れる電流は $400\mu A$ となる。スイッチ28がすべてオンした場合抵抗22を流れる電流の32倍の電流が負荷抵抗29に流れてしまうと、単純計算で出力電圧は、 $400\mu A \times 32 \times 10k\Omega = 128V$ という値となり、これでは出力電圧は電源電圧に張りついてしまうことになって回路として破綻してしまう。

【0050】このために、入力電圧が所定の動作点（入力動作基準電圧値）にある場合に出力電圧も所定の動作点（出力動作基準電圧値）になるように制御をする必要があるために、 V_{clp} で制御されたトランジスタ23と抵抗25とで構成されるバイパス回路によって、 I_{in} から I_{bp} をバイパスすることにより I_{out} が所定出力動作点を与えるような I_{sig} 電流を得るように V_{clp} が制御される。

【0051】すなわち、電流の増幅率は設定した利得に

【0043】ここで、図3（B）の等価回路のように、カスコード接続（*cascode connection*）でトランジスタ34（図2のトランジスタ30に相当）を挿入すると、 C_{gd} は V_{in} と V_a との間に存在し、 V_{in} に対する V_a の伝達ゲインはほぼ -1 になる。以下、その理由を示す。

【0044】トランジスタ32の相互コンダクタンスを g_{m1} 、トランジスタ34の相互コンダクタンスを g_{m2} とし、トランジスタ32、34を流れる電流の変化量を i として小信号解析を行うと以下の関係式が成り立つ。

【0045】

より異なるので、バイパス電流を設定した利得に応じて制御される。つまり、 $V_{in} = V_{in0}$ が入力の動作点として、 $V_{out} = V_{out0}$ が出力の動作点とすると、式11から、

【0052】

【数12】

$$V_{ofs} = \left(k \times 2^4 \times \frac{R_{out}}{R_{in}} \right) \times V_{in0} - V_{out0}$$

【0053】となり、 $V_{ofs} \cong k \times 2^2 \times R_{out} \times I_{bp}$ の関係から、

【0054】

【数13】

$$I_{bp} = \frac{V_{in0}}{R_{in}} - \frac{V_{out0}}{k \times 2^4 \times R_{out}}$$

【0055】となるようにバイパス電流 I_{bp} を制御すればよいことになる。

【0056】以下、その制御の方法について述べる。図4に本実施例の可変利得増幅回路に入力される画像信号についてのタイミング図を示す。画像信号は有効な画像情報を含む画像信号出力期間と無信号状態を表すブランキング期間とが交互に繰り返される。このブランキング期間の電圧が入力の動作点に相当し、有効画像信号出力は、ブランキング出力を基準に出力される。可変利得増幅回路はこのブランキング期間、すなわち基準となる信号が入力されている期間に出力の動作点の調整を行う。

【0057】基本的に、電圧調整回路24は、ブランキング期間に目標の出力動作点である V_{ref} 電圧と、出力電圧 V_{out} との比較を行い、出力電圧 V_{out} が目標の基準電圧 V_{ref} よりも低い場合には、トランジスタ23のゲート電圧の V_{clp} を僅かに上げるように動作する。

【0058】 V_{clp} が高くなると、バイパス回路を流れ

る電流 I_{bp} は減少して、 I_{sig} は増加する。 I_{sig} が増加すると、カレントミラーによって出力側の負荷抵抗 29 を流れる電流 I_{out} も増加する。 I_{out} が増加することによって、負荷抵抗 29 (R_{out}) の電圧降下が大きくなり、出力電圧はもとの電圧よりもわずかに高くなる。逆に、出力電圧 V_{out} 目標の基準電圧 V_{ref} よりも高い場合には、トランジスタ 23 のゲート電圧の V_{clp} が僅かに下がり、出力電圧が下がるように動作する。

【0059】この出力電圧の調整動作は、電圧調整回路 24 に供給されるクロック ϕ_{clp} に同期して離散的（間欠的）に行われる。図 4 の波形タイミング図に示すように、このクロック ϕ_{clp} は、ブランキング期間の中で動作点調整動作を許可する信号 HS がハイ（高レベル）の期間にのみ出力される。電源投入直後や、設定利得を変更した場合には、動作点が目標からずれているが、 ϕ_{clp} が入力されると、電圧調整回路 24 の働きにより出力電圧は目標の動作点に収束してゆくことになる。

【0060】電圧調整回路 24 およびクロック制御回路 31 の詳細を図 5 に示す。互いに比較される二つの信号 V_{ref} と V_{out} とはコンパレータ 40 に入力される。コンパレータ 40 にはさらにクロック制御回路 31 の ϕ_{clp} 発生回路 50 からクロック信号 ϕ_{clp} が入力される。

【0061】コンパレータ 40 は図 6 に示すような構成となっている。クロック ϕ_{clp} がロー（低レベル）の時は N 型トランジスタ 60 がオフ状態で電流は流れない。同時に P 型トランジスタ 61、62 が両方ともオンとなり XN 点と XP 点の電圧は V_{DD} となり、増幅器 63、64 の出力すなわち、コンパレータ 40 の出力 CMP_N と CMP_P はローレベルとなる。

【0062】クロック ϕ_{clp} がハイレベルの時はトランジスタ 60 がオン状態で、P 型トランジスタ 61、62 が両方ともオフとなる。トランジスタ 60 がオンとなると、トランジスタ 65、66 もオンとなろうとし、電流が流れ始め、XN 点と XP 点の電圧は下がり始める。ここで目標基準電圧 V_{ref} が出力電圧 V_{out} よりも高かった場合には、トランジスタ 65 のオン抵抗の方がトランジスタ 66 のオン抵抗よりも低くなり、XP 点の電位が XN 点の電位よりも下がる。XP、XN 点は、トランジスタ 67、68 のゲートに接続されているために、XP 点の電位が下がるとトランジスタ 67 のオン抵抗がより下がり、XN 点の電位を上げる方向に働き、XN 点の電位が上がるとトランジスタ 68 のオン抵抗が上がり、XP 点の電位を下げる方向に働く。

【0063】これらの動作は正のフィードバック動作であり、XN 点の電位は急速に上がって、XP 点の電位は急速に下がる。XN、XP はそれぞれ増幅器 63、64 に接続されており、結果的にクロック ϕ_{clp} がローからハイになった時点の V_{ref} 電圧が V_{out} 電圧よりも高ければ CMP_P はハイに、 CMP_N はローに高速に判定結果を出力する。

【0064】図 7 に電圧調整回路 24 の動作タイミングを示し、図 5 の回路図に基づいてその動作を説明する。回路図で、 ϕ_{clp} はディレイインバータ 41 に供給される。ディレイインバータ 41 はタイミング調整用の遅延時間の比較的大きなインバータである。ディレイインバータ 41 の出力はディレイインバータ 42 に供給される。ディレイインバータ 41、42 の出力が NAND 回路 43 に入力される。NAND 回路 43 は ϕ_{pr-p} パルスが発生する。また、NAND 回路 43 の出力は増幅器 44 に接続され、増幅器 44 は ϕ_{pr-p} パルスの反転となる ϕ_{pr-n} パルスが発生する。 ϕ_{pr-p} パルスと ϕ_{pr-n} パルスはそれぞれ N 型トランジスタ 45 と P 型トランジスタ 46 のゲートに接続される。トランジスタ 45 のソースには後述の MODE 信号によって選択された電圧 V_{ll} が印加される。また、トランジスタ 46 のソースにはやはり MODE 信号によって選択された電圧 V_{hh} が印加される。電圧 V_{ll} は、MODE 信号がハイのときに GND（接地電位）でローのときに GND 電圧よりもやや高い電圧になるように、また電圧 V_{hh} は、MODE 信号がハイのときに V_{DD} でローのときに V_{DD} よりもやや低い電圧になるように、スイッチ 47、48 と、抵抗 49、50、51 とで構成される回路から供給される。

【0065】 ϕ_{clp} がローの期間に、 ϕ_{pr-n} パルスと ϕ_{pr-p} パルスがそれぞれトランジスタ 45 と 46 のゲートに印加されると、それぞれのトランジスタはオンとなり、トランジスタ 45 のドレインと接続された容量 52 は V_{ll} 電位に、トランジスタ 46 のドレインと接続された容量 53 は V_{hh} 電位に充電される。ここで、容量 52、53 はそれぞれ寄生容量であってごく小さな値である。なお、このとき、(ϕ_{clp} がロー期間) コンパレータ 40 の出力 CMP_P 、 CMP_N はいずれもローレベルを出力しており、 CMP_P が入力された反転増幅器 54 の出力 ϕ_{inc} はハイに、 CMP_N が入力された増幅器 55 の出力 ϕ_{dec} はローとなっており、N 型トランジスタ 56 及び P 型トランジスタ 57 はともにオフとなっている。 ϕ_{clp} がハイに変化すると、前述のようにコンパレータ 40 が V_{ref} 電圧と V_{out} 電圧の大小関係を判定し、 V_{ref} 側が高ければ CMP_P をハイ出力し、低ければ CMP_N をハイ出力とする。 CMP_P がハイになると、 ϕ_{inc} は、ローを出力しトランジスタ 57 はオンし、 CMP_N はローのままであるために ϕ_{dec} はローで、トランジスタ 56 はオフ状態を維持する。

【0066】トランジスタ 57 がオンすることで、寄生容量 53 に充電された電荷は、容量 53 や 52 に比べて充分大きな容量を持つ容量 58 に流入し、 V_{clp} 電圧を僅かに上昇させる。逆に、 CMP_N がハイであった場合には、 ϕ_{inc} はハイのまま、 ϕ_{dec} がハイとなるため、トランジスタ 57 はオフ、トランジスタ 56 はオンとなって容量 58 に充電されていた電荷のうち、一部が寄生容量 53 に流出し、容量 58 の電位が僅かに下がる。

る。

【0067】以上の動作によって、Vref 端子の電位が Vout 端子の電位よりも高かった場合には、Vclp 電圧が僅かに上がり、Vout 端子の電位が Vref 端子の電位よりも高かった場合には、Vclp 電圧が僅かに下がる動作を行う。なお、MODE 信号によって Vhh 電圧が VDD 電圧よりも低く、Vll 電圧が GND よりも高くなっている場合には、それぞれ VDD、GND のときに比べて Vclp 電圧の変化量が小さくなる。すなわち、MODE 信号がハイのときは出力の電圧振幅が大きく、ローのときは出力電圧振幅が小さくなるように制御される。

【0068】次に、電圧調整回路 24 による動作点制御時の収束モード切替について説明する。可変利得増幅回路の設定利得を変更した場合の直後には電圧調整回路 24 の出力 Vclp 電圧は、前の電圧値をそのまま維持している。このために、新しく設定したすなわち変更後の利得に対しては所望の動作点を得るためのバイパス電流 Ibp にはなっていない。このために、出力の動作点は目標の動作点から大きくずれてしまっている。この場合には、なるべく早く動作点が正常になるように、高速に動作点を収束させる必要がある。

【0069】一般に、本実施例のように離散的（間欠的）なフィードバックによって収束を図る回路では、入力すなわち Vclp の調整が出力に反映されるまで待つてから、次の入力を与えることが行われる。これは収束の安定を図るためであり、入力の結果が出力に反映される前に次の入力を与えた場合には収束にいたるまでが不安定となる。

【0070】しかし、収束の精度よりも、高速に収束させる必要がある場合には、必ずしも上記のような制御を行う必要はない。そこで、本発明の実施例においては、収束モードの切替により高速収束と安定収束とを選択できるようにした。すなわち、高速に収束させたい場合には、 ϕ_{clp} の周期を短くし、精度よく（安定的に）収束させたい場合には、 ϕ_{clp} の周期を長くするという操作を行う。

【0071】この選択切替は、MODE 信号によって行い、MODE 信号がハイのときは、高速収束モード、ローのときは高精度収束モードとなるようにしている。特に、高精度収束モードでは Vclp の調整電圧振幅も小さくしてさらに安定性を高めている。このモード切替のための MODE 信号は図 5 の収束判定回路 35 で発生して電圧調整回路 24 に供給される。さらに MODE 信号は ϕ_{clp} 発生回路 50 にも、供給されて Vclp パルスの発生周期 ϕ_{clp} の切替を行っている。

【0072】クロック制御回路 31 の内部の収束判定回路 35 と ϕ_{clp} 発生回路 50 について、図 8（A）、

（B）の回路図と、図 9 の動作タイミング図によって説明する。

【0073】図 8（A）は、収束判定回路 35 の回路図

である。収束判定回路 35 は、RS 型フリップフロップ 51、52、D 型フリップフロップ 53、及び否定（NOT）回路 54 を有する。

【0074】設定利得を変更した場合には、図 8（A）の収束判定回路 35 に RES 信号が印加され、この時点で高速収束モードへ移行すべく MODE 信号が立ち上がる。これ移行、 ϕ_{inc} と ϕ_{dec} のパルスからこの可変利得増幅回路の出力の動作点が所定の値に収束したかどうかを判断している。

【0075】すなわち、収束に達するまでは、 ϕ_{inc} あるいは ϕ_{dec} のどちらか一方の信号のみが電圧調整回路 24 から出力される。これが収束すると、 ϕ_{inc} と ϕ_{dec} とが交互に出力されるようになる。従って、これを検出すれば収束に達したことが判定できる。このために、RES 信号でリセットされた後、 ϕ_{inc} が出力され次に ϕ_{dec} が出力された時点で収束と判断して、HS の立ち下がりモード信号をローとする回路構成をとっている。これにより次回の HS ハイ期間から高精度収束モードで動作するように切替がなされる。

【0076】図 8（B）は、 ϕ_{clp} 発生回路 50 の回路図である。 ϕ_{clp} 発生回路 50 は、D 型フリップフロップ回路 61、62、論理積（AND）回路 63、65、及び論理和（OR）回路 64 を有する。

【0077】図 8（B）の ϕ_{clp} 発生回路 50 では、図 9 に示すように、MODE 信号がハイのときは、HS と CLK との AND をとったパルスを ϕ_{clp} とし、MODE 信号がローのときにはそれを 1/4 に間引くように分周回路の出力でマスクしたパルスを ϕ_{clp} としている。

【0078】以上によって、設定利得を変更したことでずれた出力動作点を所定の動作点に収束するまでは高速収束動作を行い、一旦収束した後は動作点変動が最小になるように高精度の収束動作を行うことで、高速にかつ高精度に動作点を設定することができる。

【0079】図 10 に本発明の第 2 の実施例の可変利得増幅回路を示す。図 2 の第 1 の実施例との違いは、第 2 の実施例では入力に差動増幅器を使用していないこと、及び電流バイパス回路を出力側に設けている点である。なお、図 10 において、図 2 の回路図と同じ参照番号で示すものは基本的に同一の要素を示すので、それらの説明については省略する。

【0080】入力 IN に差動増幅器を用いずに N 型トランジスタ 70 に直接入力電圧を印加すると、A 点の電位はトランジスタ 70 と抵抗 71 とがソースフォロアを構成しているために、

【0081】

【数 14】

$$V_{in} \times A_0 - V_{of}$$

【0082】で与えられる。ここで、 A_0 はソースフォロアの利得で、およそ 0.8 程度であり、第 1 の実施

例と比較するとこの部分で利得はロスすることになるが、第1の実施例では差動増幅器20とソースフォロア(21、22)で構成されるフィードバック回路の発振防止のために動作帯域をそれほど高くできなかったが、第2の実施例ではソースフォロアに直接入力電圧を印加しているために動作帯域は大幅に向上する。従って、動作帯域をより重視した用途にはこの実施例の方が適している。

【0083】電流バイパス回路については、第1の実施例における式5が

【0084】

【数15】

$$I_{in} = \frac{A_o \times V_{in} - V_{of}}{R_{in}}$$

【0085】となり、式7が

【0086】

$$V_{ofs} = k \times 2^4 \times \frac{R_{out}}{R_{in}} \times V_{of} + R_{out} \times I_{bp}$$

【0093】としている。以上から、 $V_{in} = V_{in0}$ 、 $V_{out} = V_{out0}$ の入出力動作点を得るためには、 I_{bp} の値が、

$$I_{bp} = k \times 2^4 \times \frac{1}{R_{in}} \times (A_o \times V_{in} - V_{of}) - \frac{V_{out}}{R_{out}}$$

【0095】を満たすように V_{clp} のフィードバックを書ければ第1の実施例と同様に動作点が確定することになる。

【0096】なお、本発明は以上説明した実施例のものに限るものではなく、実施例の開示にもとづき様々な変更や改良が当業者であれば可能であることは自明であろう。

【0097】

【発明の効果】本発明によれば、画像信号処理用に好適な可変利得増幅回路として、CMOS回路に容易に組み込み、かつ必要な動作帯域と、最大利得、可変利得設定分解能を満たすことができる。また、動作点の設定を随時行う場合には、収束モードの切換を有するので、高速かつ安定した動作点設定が可能である。

【図面の簡単な説明】

【図1】本発明の可変利得増幅回路の動作原理を説明するための回路図である。

【図2】本発明の第1の実施例による可変利得増幅回路の回路図である。

【図3】本発明の実施例におけるカスコード接続トランジスタの効果を説明するための等価回路図である。

【図4】画像信号の波形タイミング図である。

【図5】本発明の実施例における電圧調整回路とクロッ

【数16】

$$I_{sig} = I_{in}$$

【0087】となり、式9が

【0088】

【数17】

$$I_{out} = k \times 2^4 \times I_{sig} - I_{bp}$$

【0089】となり、式11が

【0090】

【数18】

$$V_{out} = k \times 2^4 \times \frac{R_{out}}{R_{in}} \times A_o \times V_{in} - V_{ofs}$$

【0091】となる。なお、ここで

【0092】

【数19】

【0094】

【数20】

ク制御回路の詳細を示す回路図である。

【図6】本発明の実施例におけるコンパレータ回路の回路図である。

【図7】電圧調整回路の動作タイミング図である。

【図8】収束判定回路と ϕ_{clp} 発生回路の回路図である。

【図9】クロック制御回路の動作タイミング図である。

【図10】本発明の第2の実施例による可変利得増幅回路の回路図である。

【図11】従来の技術による可変利得増幅回路の回路図である。

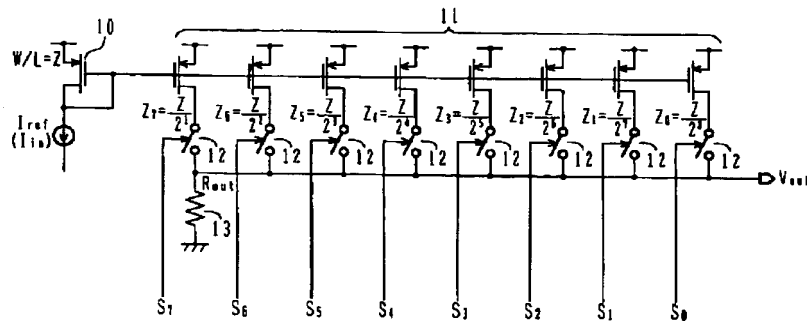
【符号の簡単な説明】

- 10 入力側トランジスタ
- 11 共通ゲート出力側トランジスタ
- 12 スイッチ
- 13 負荷抵抗
- 20 差動増幅器
- 21、23、27、30 トランジスタ
- 26 ダイオード接続トランジスタ
- 22、25 抵抗
- 24 電圧調整回路
- 29 負荷抵抗
- 28 スイッチ

3.1 クロック制御回路

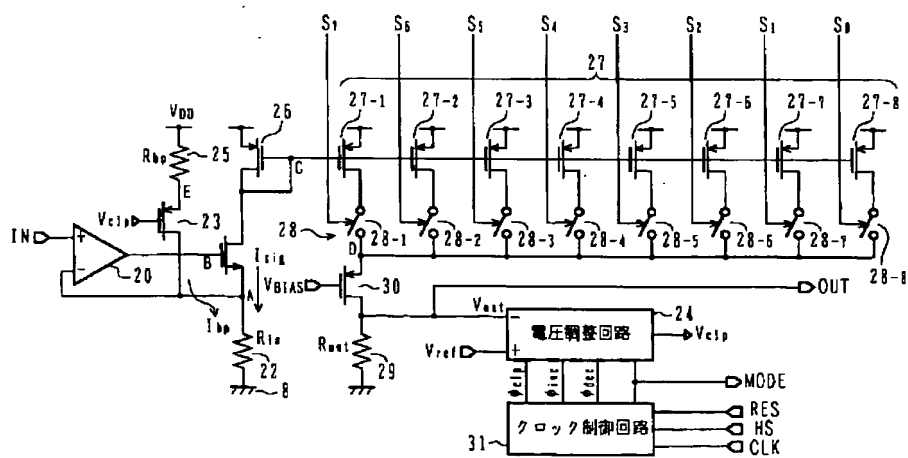
【図 1】

可変利得増幅回路



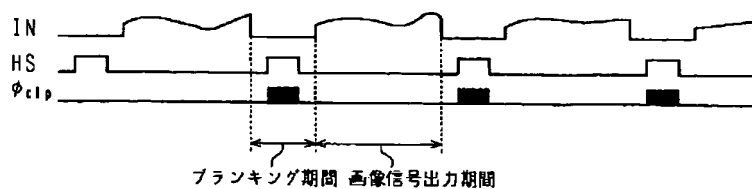
【図 2】

可変利得増幅回路



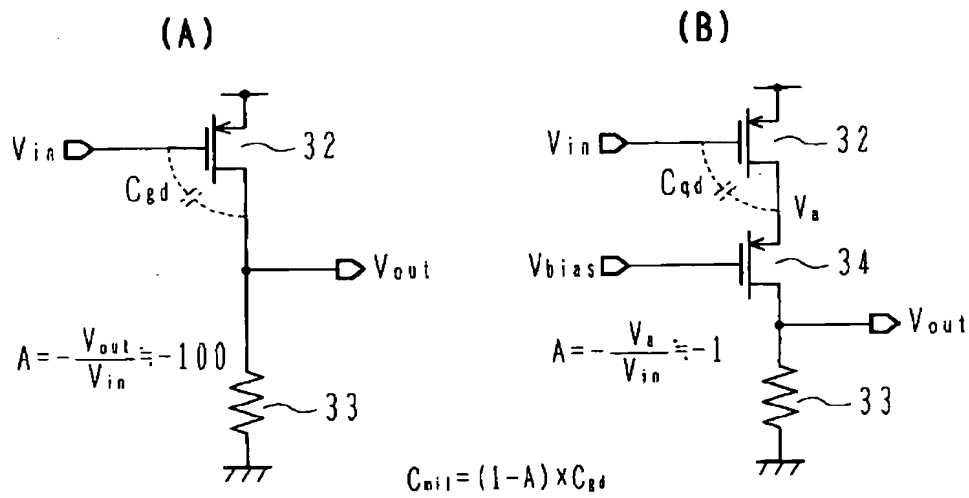
【図 4】

画像信号のタイミング



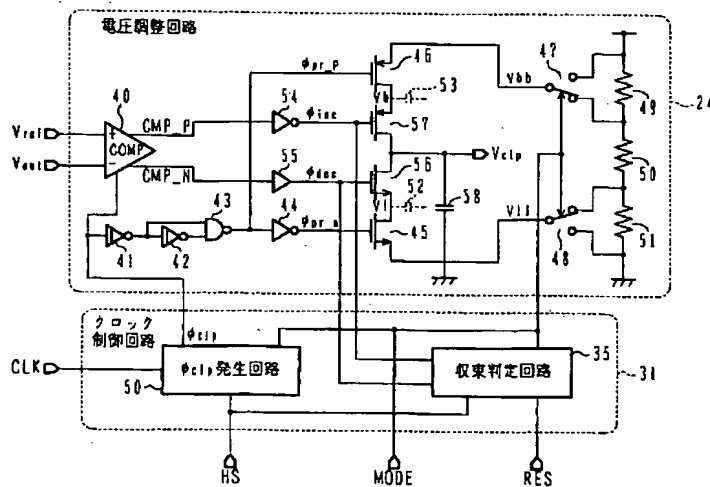
【図3】

カスコード接続トランジスタ



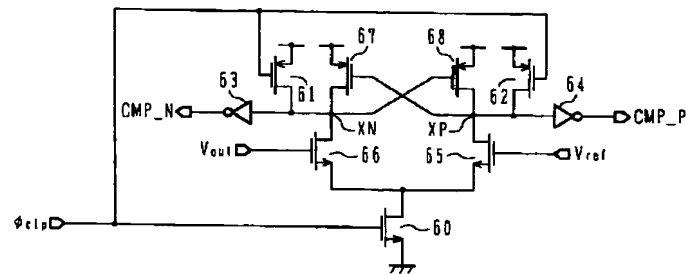
【図5】

電圧調整回路およびクロック制御回路



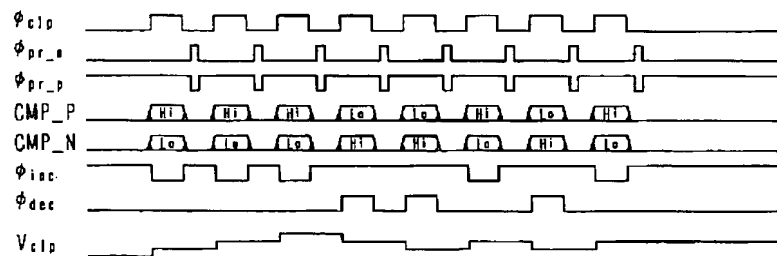
【図 6】

コンパレータ回路



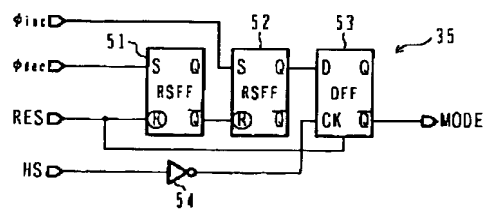
【図 7】

電圧調整回路の動作タイミング

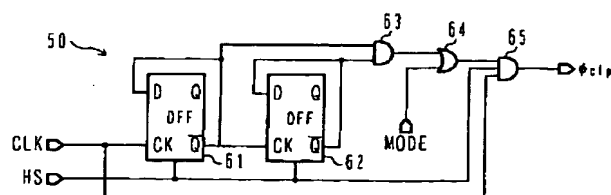


【図 8】

(A) 収束判定回路

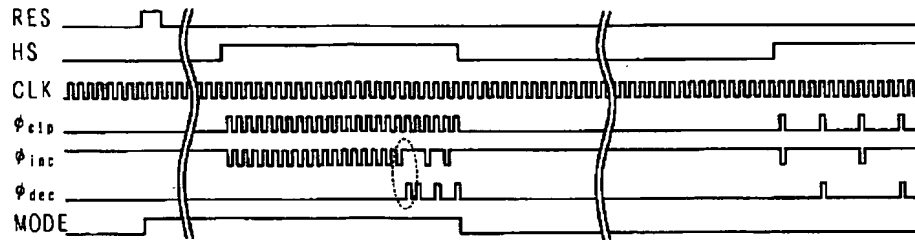


(B) phi_clp発生回路



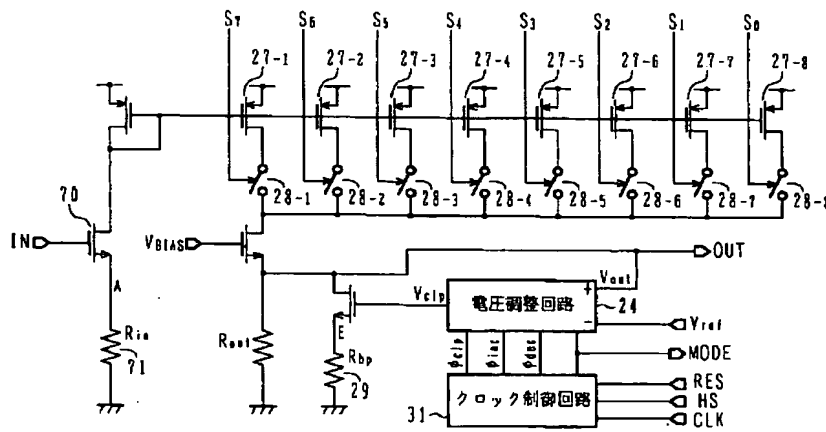
【図 9】

クロック制御回路の動作タイミング



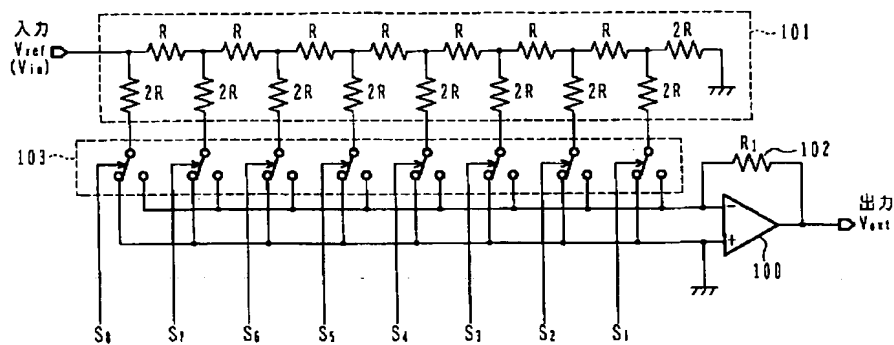
【図 10】

第二の実施例



【図 11】

従来例の変利得増幅回路



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKÉWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)